

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

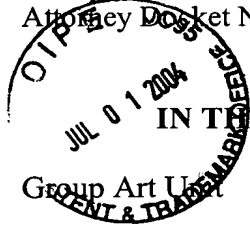
- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

Application No.: 10/772,141  
Paper Dated: June 29, 2004  
In Reply to USPTO Correspondence of N/A  
Attorney Docket No. 4366-040241

Customer No. 28289



**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Group Art U. : 2818  
Application No. : 10/772,141  
Applicant : **Heon LEE**  
Filed : February 3, 2004  
Title : **PHASE-CHANGE MEMORY DEVICE AND  
MANUFACTURING METHOD THEREOF**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. §119**

**MAIL STOP**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

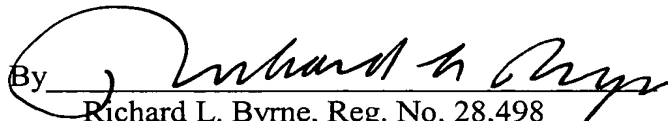
Sir:

Attached hereto are certified copies of Korean Patent Application No. 10-2003-0049898 and No. 10-2003-0062050, which correspond to the above-identified United States application and which were filed in the Korean Patent Office on July 21, 2003 and September 5, 2003, respectively.

The priority benefits provided by Section 119 of the Patent Act of 1952 are claimed for these applications.

Respectfully submitted,

WEBB ZIESENHEIM LOGSDON  
ORKIN & HANSON, P.C.

By   
Richard L. Byrne, Reg. No. 28,498

Attorney for Applicant  
700 Koppers Building  
436 Seventh Avenue  
Pittsburgh, PA 15219-1818  
Telephone: 412/471-8815  
Facsimile: 412/471-4094

Heon LEE

Serial No. 10/772,141



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0049898  
Application Number

출원 년 월 일 : 2003년 07월 21일  
Date of Application JUL 21, 2003

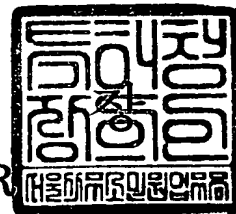
출원인 : 이헌  
Applicant(s) LEE HEON



2004 년 02 월 02 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【제출일자】	2003.07.21		
【발명의 명칭】	상변화 메모리 소자 및 그 제조 방법		
【발명의 영문명칭】	PHASE CHANGE MEMORY DEVICE AND MANUFACTURING METHOD THEREOF		
【출원인】			
【성명】	이현		
【출원인코드】	4-1999-055933-5		
【대리인】			
【성명】	박우근		
【대리인코드】	9-2001-000375-1		
【포괄위임등록번호】	2003-041211-0		
【대리인】			
【성명】	박건우		
【대리인코드】	9-2001-000036-3		
【포괄위임등록번호】	2003-041210-2		
【대리인】			
【성명】	연충규		
【대리인코드】	9-2002-000205-6		
【포괄위임등록번호】	2003-041212-7		
【발명자】			
【성명】	이현		
【출원인코드】	4-1999-055933-5		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박우근 (인) 대리인 박건우 (인) 대리인 연충규 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	23	면	23,000 원
【우선권주장료】	0	건	0 원

1020030049898

출력 일자: 2004/2/3

【심사청구료】	13	항	525,000	원
【합계】	577,000		원	
【감면사유】	개인 (70%감면)			
【감면후 수수료】	173,100		원	
【첨부서류】	1. 요약서·명세서(도면)_1통			

**【요약서】****【요약】**

대량 생산에 적합하여, 높은 수율(yield)을 얻을 수 있고, 공정 단가를 낮출 수 있으며, 안정된 소자 특성을 얻는 것이 가능하도록 하는 상변화 메모리 소자의 새로운 구조 및 그 제조 방법이 제공된다. 본 발명의 상변화 메모리 소자 제조 방법은: 하부 유전체 층에 적어도 일부 측면이 둘러싸이고, 그 상면의 적어도 일부가 노출된 하부 전극을 형성하는 제1 단계; 하부 전극 및 하부 유전체 층의 상면을 덮도록 유전체 박막을 형성하는 제2 단계; 유전체 박막 위에 마스크 재료를 코팅하고 이를 패터닝하는 제3 단계; 패터닝된 마스크 재료를 사용하여 식각 공정을 진행하여, 유전체 박막에, 제1 단계의 종료 시점에서 노출되었던 하부 전극의 상면에 비하여 작은 단면적을 갖는 미세 통공을 형성하는 제4 단계; 마스크 재료 중 남아있는 것을 제거하는 제5 단계; 및 유전체 박막의 상부에, 미세 통공을 채우도록 상변화 재료를 코팅하는 제6 단계를 포함한다.

**【대표도】**

도 8

**【색인어】**

상변화 메모리, 나노 임프린팅 스탬프, PRAM(Phase change random access memory), OUM(Ovonics Unified memory), 상변화 메모리 제조 공정

**【명세서】****【발명의 명칭】**

상변화 메모리 소자 및 그 제조 방법{PHASE CHANGE MEMORY DEVICE AND MANUFACTURING METHOD THEREOF}

**【도면의 간단한 설명】**

도 1은 종래 기술의 상변화 메모리 소자 구조의 한 예를 나타낸다.

도 2는 이러한 상변화 재료의 결정질화(crystallization)와 비정질화(amorphization)에 의한 디지털 데이터의 저장 기구(mechanism)를 나타낸다.

도 3은 종래 기술의 한 예로서 미국 특허공보 제6,420,725호에 개시된 상변화 메모리의 구조 및 그 제조 방법을 나타낸다.

도 4는 종래 기술의 다른 한 예로서 미국 특허공보 제6,337,266호에 개시된 상변화 메모리의 구조 및 그 제조 방법을 나타낸다.

도 5는 종래 기술의 다른 한 예로서 미국 공개 특허 공보 제2002-0016054호에 개시된 상변화 메모리의 구조 및 그 제조 방법을 나타낸다.

도 6에서는 본 발명의 바람직한 한 실시 형태에 따른 상변화 메모리 소자 구조를 예시한다.

도 7에서는 본 발명의 다른 한 바람직한 실시 형태에 따른 상변화 메모리 소자 구조를 예시한다.

도 8에서는 전류 패스 형성을 위해 본 발명에서 제시된 나노 크기 통공(nano-sized pore) 및 국부적 손상 영역을 통한 국부 전류 흐름에 의한 상 변화 영역의 형성 기구를 설명한다.

도 9는 본 발명의 한 바람직한 실시 형태에 따른 상변화 메모리 소자의 구성을 설명하기 위한 사시도이다.

도 10a 내지 도 10h는 본 발명의 한 바람직한 실시 형태에 따른 상변화 메모리 소자 제조 공정의 한 예를 설명한다.

도 11a 내지 도 11c는 본 발명의 다른 한 바람직한 실시 형태에 따른 상변화 메모리 제조 공정의 예를 설명한다.

도 12a 및 도 12b는 본 발명의 상변화 메모리 제조 공정 중에 사용되는 나노 임프린팅 리소그래피 공정을 설명한다.

도 13a 내지 도 13f는 본 발명의 상변화 메모리 제조 공정의 다른 한 바람직한 실시 형태를 설명한다.

도 14a 내지 도 14c는 도 13에 도시된 과정 이후의 공정 진행 과정을 예시한다.

도 14d 내지 도 14e는 도 13에 도시된 과정 이후의 공정 진행 과정에 있어서, 다른 한 진행 예를 나타낸다.

도 15는 하부 전극에 테이퍼진 측벽을 사용하는 경우에 얻을 수 있는 리소그래피 시의 오정렬 마진(misalignment margin) 증대의 효과를 설명한다.



**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <17> 본 발명은 상변화(狀變化) 메모리(phase change memory) 소자 및 그 제조 방법에 관한 것으로서, 보다 상세하게는, 대량 생산에 적합하고, 높은 수율(yield)을 얻을 수 있고, 공정 단가를 낮출 수 있으며, 안정된 소자 특성을 얻는 것이 가능하도록 하는 상변화 메모리 소자의 새로운 구조 및 그 제조 방법을 제공하기 위한 것이다.
- <18> 휴대형 기기의 보급이 확산됨에 따라 비휘발성(non-volatile) 메모리 소자의 수요가 급증하고 있는 추세이다. 비휘발성 메모리 소자로는 현재 널리 쓰이고 있는 플래시 메모리(flash memory) 이외에도 강유전체 메모리(ferro-electric memory), 자기 메모리(magnetic memory) 및 상변화 메모리(phase change memory)가 차세대의 비휘발성 메모리로 주목받고 있다. 특히, 상변화 메모리는 플래시 메모리가 가지고 있는 단점인, 느린 액세스 속도, 사용 횟수의 제한(약  $10^5 \sim 10^6$  회) 및 작동 시 고전압이 필요하다는 문제점 등을 해결할 수 있는 새로운 메모리 소자로서 연구 개발되고 있다.
- <19> 상변화 메모리는 칼코게나이드(chalcogenide) 계열의 상변화 재료를 사용하는 메모리 소자로서, GST( $\text{Ge}_2\text{Sb}_2\text{Te}_5$ ) 등이 사용되고 있다. 상변화 재료는 결정질(crystalline)과 비정질(amorphous) 상태 사이에서 가역성(reversible) 상변화 특성을 갖는 재료이며 비정질일 때에는 비저항(resistivity)이 높아지는 특성이 있으며, 결정질일 때에는 비저항이 낮아진다. 이러한 상변화 시의 비저항 변화를 이용하여 디지털 데이터가 저장될 수 있게 된다.

<20> 도 2는 이러한 상변화 재료의 결정질화(crystallization)와 비정질화(amorphization)에 의한 디지털 데이터의 저장 기구(mechanism)를 나타내고 있다. 도시된 바와 같이 상변화 메모리에서는 전기적 펄스(electric pulse)의 인가에 의하여 상변화 재료의 가열이 행해지며, 고전류 펄스를 단시간 동안 인가하여 상기 상변화 재료를 용융점 이상으로 가열하고 이후에 급랭(quenching) 시키는 과정을 통하여 비정질화(amorphization)가 이루어진다. 또한, 저전류 펄스를 장시간 인가하는 방법을 통하여, 상변화 재료의 어닐링(annealing)이 이루어지며, 그 과정에서 상변화 재료의 결정질화(crystallization)가 이루어진다.

<21> 도 1은 종래 기술의 상변화 메모리 소자 구조의 한 예를 나타낸다. 예시된 구조는 일반적인 DRAM(dynamic random access memory) 구조와 유사한 구조를 기본으로 하고, DRAM의 단위 셀(cell)을 구성하는 커패시터(capacitor)를 상변화 저항(phase change resistor)으로 대체한 구조이다. 도 1에 도시한 종래 기술의 상변화 메모리 소자에서는 한 개의 FET(90)와 한 개의 상변화 저항(50)이 단일 메모리 셀(cell)을 이루며, 상변화 저항(50)의 비저항 상태(고저항 또는 저저항)로서 데이터가 저장된다. 이러한 메모리 셀 구성은 단지 한 예시에 불과하며, 한 개의 다이오드와 한 개의 상변화 저항을 기본으로 하는 구조 등 많은 다양한 변형된 상변화 메모리 셀의 구성이 발표되어 있다.

<22> 도 1에 예시된 메모리 소자는, 실리콘 기판(5) 상에 트렌치(trench) 등 소자 분리(isolation) 구조(10), 게이트 산화막(15), 워드 라인과 그에 연결된 게이트(20), 소스 및 드레인(12)(14)을 형성하고, 제1 층간 절연막(23), 비트 라인용 콘택 홀(25), 비트 라인(30), 제2 층간 절연막(35), 상변화 저항용 콘택 홀(40)을 형성한다. 이후, 상변화 저항용 콘택 홀(40)은 전극 재료(45)로 채워진다. 전극 재료는 예를 들어, 텅스텐, 카본, 구리, 알루미늄,

텅스텐 실리사이드, 플라티늄, 은, 금, 티타늄, 질화 티타늄, 도핑된 폴리 실리콘 등 다양한 전도성 재료가 사용될 수 있다.

<23> 이와 같이 형성된 전극(45) 위에 상변화 저항(50)이 형성된다. 상변화 저항(50)에서 일어나는 상변화는 도 2에 도시한 바와 같이, 주로 금속 전극(45)과 상변화 재료 층(50)이 접촉하는 부위 근처에서 일어나게 되는데, 금속 전극(45)과 상변화 저항(50)의 접촉 면적이 줄어들면 더 적은 에너지로 재료의 상을 변화시키는 것이 가능하게 되고, 소자의 스위칭 전류가 줄어들게 되어 소자의 전력 소모를 줄일 수 있게 될 뿐만 아니라, 고속의 스위칭이 가능하게 되어 보다 신뢰성 높은 소자를 구현할 수 있게 된다.

<24> 따라서, 하부의 전극과 상변화 재료의 접촉 면적을 줄이면서도, 공정 난이도가 낮고, 공정에 있어서 넓은 마진(margin)을 제공하여 높은 생산성을 얻을 수 있는 새로운 구조 및 그 제조 방법에 관한 연구가 계속되고 있다.

<25> 도 3은 종래 기술의 한 예로서 미국 특허공보 제6,420,725호에 개시된 상변화 메모리의 구조 및 그 제조 방법을 나타낸다. (f)에 도시된 상변화 메모리 소자의 구조는 상변화 저항(150)의 하부 전극(145)과 상변화 저항(150) 사이의 접촉 면적을 줄이기 위하여, 하부의 콘택 홀(140)에 유전체 재료의 증착 및 전면 식각에 의하여 측벽(sidewall)(142)을 형성한 것을 특징으로 한다.

<26> 상술한 구조를 제조하기 위한 공정은 다음과 같다. 먼저, (a)와 같이, 기판(110) 위에 유전체 층(135) 및 콘택 홀(140)을 형성하고, 콘택 홀(140)을 다이오드 형성을 위한 재료 또는 콘택 하부 필링(filling)을 위한 재료(190)로 채우고, 이를 부분적으로 식각한 후, (b)에 도시된 바와 같이 측벽 형성용 막(140)을 형성한다. 측벽 형성용 막을 마스크 없이 식각(etch back)하여 (c)에서와 같이 측벽(142)을 형성하고, 하부 전극 재료(145)로 채운다. 다시 하부

전극 재료를 마스크 없이 식각하면, (d)와 같이 측벽에 둘러싸이고 측벽에 의하여 좁아진 개구를 갖는 하부 전극(145) 구조가 형성된다. 그 위에 (e)와 같이 상변화 재료(150)가 증착되고, 이후 적절한 패터닝 과정을 거쳐 (f)와 같이, 상변화 저항(150) 및 상부 전극 구조(155)가 형성된다.

<27> 상술한 바와 같이, 컨택 홀(140)에 측벽(142)을 형성하는 기술을 사용할 경우, 개구 직경을 좁혀, 기존의 리소그래피(lithography) 기술을 그대로 활용하면서도 상변화 저항(150)과 하부 전극(145)의 접촉 면적을 줄일 수는 있으나, 홀 내에 측벽(142)의 형성을 위한 유전막(142) 증착 및 전면 식각(blank etch back) 등의 추가적인 공정이 더 필요하게 되어 공정 단계가 더 늘어나게 되고, 그만큼 공정이 복잡하게 된다. 또한, 측벽에 의해 홀(145)이 너무 좁아지게 되어 기존의 전극 재료로 사용되는 금속 막에 의하여 이와 같이 좁은 홀을 보이드(void) 발생 없이 채우기가 몹시 어려워지는 문제점이 있어 이와 같은 공정을 양산에 사용하기에는 많은 문제점이 있다. 또한, 홀(145)을 좁게 형성하여도 식각 공정에 전면 노출되는 홀의 입구(149)는 홀 내부에서의 직경보다 넓어지게 됨에 따라, 상술한 금속 재료에 의한 홀 충전에 있어서의 보이드 발생 등의 문제점을 감수하면서도, 상변화 재료(150)와 접촉하는 부분(149)의 넓이는 그다지 줄일 수 없다는 한계가 있다.

<28> 도 4는 종래 기술의 다른 한 예로서 미국 특허공보 제6,337,266호에 개시된 상변화 메모리의 구조 및 그 제조 방법을 나타낸다. 도시된 구조는 상변화 저항(250)의 하부 전극(245)과 상변화 저항(250) 사이의 접촉 면적을 줄이기 위하여, 하부의 컨택 홀(235)에 이중 측벽(double spacer)을 형성한 것을 특징으로 한다.

<29> 제조 공정을 살펴보면, 먼저 (a)에서와 같이 기판(205) 위에 유전체 층(235) 및 홀(240)을 형성하며, 제1 유전막(242) 및 희생막(244)을 형성한다. 이후, 희생막을 마스크 없이 식각

하여 측벽 구조(244)를 1차로 형성한 후, 이를 마스크로 하여 제1 유전막을 식각하고 최종적으로 (c)와 같은 측벽 구조를 형성한다. 이후, 희생막에 의한 측벽(244)을 제거한 후, (d)에서와 같이 하부 전극 형성 재료를 채운다. 화학적-기계적 연마(CMP) 등의 평탄화(planarization) 공정을 수행하여, (e)와 같이 하부 전극(245)이 노출된 구조를 형성하는데, 이때 하부 전극의 직경은 최초에 형성된 홀(240)의 직경에 비하여 줄어들게 된다. 이후, (e)에서 보는 바와 같이 상변화 저항의 패턴(250)과 상부 전극(255)이 형성된다.

<30>      컨택 홀(240)을 형성하고, 그 내부에 측벽을 형성하여 홀의 직경을 좁힌다는 점에서는 상술한 도 3에 예시된 종래 기술의 경우와 기본적인 아이디어는 유사하나, 도 4의 구조는, 제1 유전막(242)을 증착하고 그 위에 희생막(244)을 증착하여 측벽의 두께를 더욱 증가시켜, 최초의 컨택 홀(235)의 직경에 비하여 보다 더 직경이 작은 홀을 형성할 수 있는 장점이 있다. 그러나, 이 구조에서도, 측벽을 형성하기 위하여 제1 유전막과 희생막의 증착 및 식각 등 추가 공정이 필요하여 공정이 매우 복잡하여 생산성에 문제가 있으며, 최종적으로 형성되는 홀(245)의 크기가 작아져 전극 재료를 보이드 없이 채우는 데에는 마찬가지로 어려움이 있게 된다.

<31>      도 5는 또 다른 종래 기술(미국 특허 공개 공보 2002-0016054호)의 한 예로써, (a)와 같이 기판(305) 위에 형성된 도체 층(310)에 마스크(311)를 패터닝(patterning)한 후, 습식 식각(wet etch)을 통하여 (b)와 같은 팁(tip) 구조를 형성하고, 마스크(311)를 제거한 후, (c)와 같이 유전체 층(335)을 증착하여 평탄화(planarization)하여, (d)와 같이 노출된 팁(345) 상부에 (e)와 같이 최종적으로 상변화 저항(350) 및 상부 전극(355)을 형성하는 기술이 개시되어 있다.

<32>      도 5의 종래 기술에서는 습식 식각(wet ech)을 통하여 팁을 형성하는 방법을 사용하는 것을 특징으로 하나, 습식 식각은 정밀 제어하기가 매우 어려운 공정으로써 이를 통하여 재현

성 있는 팁 구조를 양산 가능한 정도의 공정 마진(margin)을 확보하면서 형성한다는 것은 매우 어려운 일이다. 습식 식각 공정을 통하여 형성된 팁의 크기 및 높이에는, 동일 웨이퍼 내의 소자와 소자 사이에, 그리고 한 웨이퍼와 다른 웨이퍼 내의 소자와 소자 사이에 차이가 발생할 수 있으며, 그러한 경우, 소자 특성의 산포(distribution)가 발생하여 재현성 있는 공정이 이루어지기 어렵게 되어 이를 양산에 적용할 경우 안정된 소자 특성을 얻기가 어렵다는 한계를 가지고 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<33> 본 발명은 이와 같은 문제점을 해결하기 위한 것으로, 대량 생산에 적합하고, 높은 수율(yield)을 얻을 수 있고, 공정 단가를 낮출 수 있으며, 안정된 소자 특성을 얻는 것이 가능하도록 하는 상변화 메모리 소자의 새로운 구조 및 그 제조 방법을 제공하기 위한 것이다.

#### 【발명의 구성 및 작용】

<34> 이와 같은 목적을 달성하기 위한, 본 발명의 한 측면에 의한 상변화 메모리 소자 제조 공정은: 하부 유전체 층에 적어도 일부 측면이 둘러싸이고, 그 상면의 적어도 일부가 노출된 하부 전극을 형성하는 제1 단계; 상기 하부 전극 및 상기 하부 유전체 층의 상면을 덮도록 유전체 박막을 형성하는 제2 단계; 상기 유전체 박막 위에 마스크 재료를 코팅하고 이를 패터닝하는 제3 단계; 상기 패터닝된 마스크 재료를 사용하여 식각 공정을 진행하여, 상기 유전체 박막에, 상기 제1 단계의 종료 시점에서 노출되었던 상기 하부 전극의 상면에 비하여 작은 단면적을 갖는 미세 통공을 형성하는 제4 단계; 상기 마스크 재료 중 남아있는 것을 제거하는 제5 단계; 및 상기 유전체 박막의 상부에, 상기 미세 통공을 채우도록 상변화 재료를 코팅하는 제6 단계를 포함한다.

<35> 본 발명의 다른 한 측면에 의한 상변화 메모리 소자 제조 방법은: 하부 유전체 층에 적어도 일부 측면이 둘러싸이고, 그 상면의 적어도 일부가 노출된 하부 전극을 형성하는 제1 단계; 상기 하부 전극 및 상기 하부 유전체 층의 상면을 덮도록 유전체 박막을 형성하는 제2 단계; 상기 유전체 박막 위에 마스크 재료를 코팅하고 이를 패터닝하는 제3 단계; 미세 전류 패스를 제공하기 위하여, 상기 패터닝된 마스크 재료를 사용하여 상기 유전체 박막의 노출된 부분에 국부적인 미세 손상 부위를 형성하는 제4 단계--여기서 상기 미세 손상 부위는 상기 제1 단계의 종료 시점에서 노출되었던 상기 하부 전극의 상면에 비하여 작은 단면적을 갖는 것임--; 상기 마스크 재료 중 남아있는 것을 제거하는 제5 단계; 및 상기 미세 손상 부위를 포함하는 상기 유전체 박막의 상부에 상변화 재료를 코팅하는 제6 단계를 포함한다.

<36> 여기서, 상변화 메모리 소자 제조 방법의 상기 제1 단계는: 상기 하부 유전체 층에 테이퍼(taper)진 측벽을 갖는 함몰부를 형성하는 단계; 상기 함몰부를 채우도록 하부 전극 재료를 코팅하는 단계; 및 상기 하부 전극 재료를 평탄화하여, 상기 하부 전극 재료 중 상기 함몰부를 채우는 부분에 의하여 형성되는 하부 전극의 상면 적어도 일부와, 상기 하부 유전체층 중의 상기 함몰부가 형성되지 않은 영역의 상면이 노출되도록 하는 단계를 포함하는 것이며, 여기서, 상기 테이퍼진 측벽을 채워 형성된 상기 하부 전극의 상면에 의하여 넓은 리소그래피 공정 마진이 제공되는 것임이 바람직하다.

<37> 본 발명의 상변화 메모리 소자 제조 방법의 상기 제3 단계는: 폴리머 레지스트 막을 코팅하는 단계; 및 상기 폴리머 레지스트 막에, 그 패턴 말단부의 폭이 1 마이크로미터 이하의 치수를 갖는 임프린팅 스탬프를 사용하여 패터닝하는 단계를 포함하는 것일 수 있다.

<38> 또한, 본 발명의 상변화 메모리 소자 제조 방법의 상기 제4 단계는: 상기 패터닝된 마스크 재료를 사용하여 상기 유전체 박막의 노출된 부분에 국부적인 미세 손상 부위를 형성하기

위하여 상기 유전체 박막의 노출된 부분을 플라즈마에 노출시키는 단계를 포함하는 것일 수 있다.

<39> 또한, 본 발명의 상변화 메모리 소자 제조 방법의 상기 제4 단계는: 상기 패터닝된 마스크 재료를 사용하여 상기 유전체 박막의 노출된 부분에 국부적인 미세 손상 부위를 형성하기 위하여 상기 유전체 박막의 노출된 부분을 자외선(UV)에 노출시키는 단계를 포함하는 것일 수 있다.

<40> 또한, 본 발명의 상변화 메모리 소자 제조 방법의 상기 제4 단계는: 상기 패터닝된 마스크 재료를 사용하여 상기 유전체 박막의 노출된 부분에 국부적인 미세 손상 부위를 형성하기 위하여 상기 유전체 박막의 노출된 부분을 이온 빔(ion-beam)에 노출시키는 단계를 포함하는 것일 수 있다.

<41> 상술한 목적을 달성하기 위한 본 발명의 또 다른 한 측면에 의한 상변화 메모리 소자는: 하부 유전체 층; 상기 하부 유전체 층에 적어도 일부 측면이 둘러싸인 하부 전극; 상기 하부 전극의 상면을 덮고, 상기 하부 전극의 상면에 비하여 작은 단면적을 갖는 미세 통공이 상기 하부 전극의 상면까지 이르도록 형성된 유전체 박막; 및 상기 미세 통공에 정렬되어 상기 미세 통공을 채우고 상기 유전체 박막의 상부에 형성된 상변화 재료 패턴을 포함한다.

<42> 본 발명의 또 다른 한 측면에 의한 상변화 메모리 소자는: 하부 유전체 층; 상기 하부 유전체 층에 적어도 일부 측면이 둘러싸인 하부 전극; 상기 하부 전극의 상면을 덮고, 상기 하부 전극의 상면에 비하여 작은 단면적을 갖는 국부적인 미세 손상 부위가 전류 패스를 제공하기 위하여 형성된 유전체 박막; 및 상기 미세 손상 부위에 정렬되어 상기 유전체 박막의 상부에 형성된 상변화 재료 패턴을 포함한다.



- <43> 여기서, 상기 하부 전극은: 상기 하부 유전체 층에 형성된 테이퍼(taper)진 측벽을 갖는 함몰부를 채움으로써 형성되어, 상기 하부 전극의 상면은 상기 하부 전극의 상기 함몰부 바닥에 접한 면에 비하여 넓은 단면적을 갖는 것이며, 여기서, 상기 테이퍼진 측벽을 채워 형성된 상기 하부 전극의 넓은 상면에 의하여 제조 시 넓은 리소그래피 공정 마진이 제공되는 것임이 바람직하다.
- <44> 여기서, 상기 국부적인 미세 손상 부위는: 상기 유전체 박막의 일부가 플라즈마에 노출되어 형성된 것일 수 있다.
- <45> 또한, 상기 국부적인 미세 손상 부위는: 상기 유전체 박막의 일부가 자외선(UV)에 노출되어 형성된 것일 수 있다.
- <46> 또한, 상기 국부적인 미세 손상 부위는: 상기 유전체 박막의 일부가 이온 빔(ion-beam)에 노출되어 형성된 것일 수 있다.
- <47> 이하에서는 도면을 참조하여 본 발명에 따른 바람직한 실시 형태를 상세히 설명한다.
- <48> 도 6에서는 본 발명의 바람직한 한 실시 형태에 따른 상변화 메모리 소자 구조를 예시한다. 도 6의 실시 형태에서는 상변화 저항(550) 하부에 일반 CMOS 공정을 통하여 FET(590)가 형성되어 있으며, 상술한 종래 기술의 구조 중 1개의 트랜지스터와 1개의 상변화 저항이 단일 메모리 셀을 형성하고 있는 구조를 사용한 경우를 예시한다. 그러나, 상변화 저항(550) 관련 부분을 제외하고 메모리 셀의 배치 및 설계에 따른 하부의 구조는 얼마든지 변경될 수 있는 것이며, 예를 들어, 도 6에서는 소자 분리(isolation)을 위하여 STI(shallow trench isolation) 구조를 채용하였지만, 필요에 따라 LOCOS(local oxidation of silicon) 등의 다른 소자 분리 구조가 사용될 수도 있으며, FET(590)를 사용하지 않고 BJT(bipolar junction transistor) 등

다른 스위칭 소자가 채택될 수도 있음은 물론이다. 나아가서, 도 6의 실시 형태는 단지 예시적인 것으로만 여겨져야 할 것이다.

<49> 도 6의 실시 형태에서는, 유전체 층(535)이 형성되어 하부의 CMOS 구조를 절연시킨 후, 유전체 층(535)에 컨택 홀(540)을 형성하고 내부를 하부 전극 재료로 채워 하부 전극(545)을 형성한 구조이다. 또한, 하부 전극(545)과 이를 둘러싸고 있는 유전체 층(535)의 상면을 덮는 유전체 박막(537)을 구비하고 있다. 유전체 박막(537)은 하부 전극과 상변화 저항(550)이 서로 절연되도록 하며, 유전체 박막(537)에 형성된 미세한 통공(pore)(548)에 의해서만 양자가 서로 접촉되도록 한다. 미세 통공(548)은 이후에 상세히 설명될 제조 방법에 의하여 형성되며, 소정의 전압이 인가될 경우, 상기 통공은 국부적 전류의 패스(path)를 제공하여 상변화 저항(550) 내에서 상기 통공 주변의 영역에서만 상변화가 일어날 수 있도록 하여 작은 양의 전류로도 상변화 메모리 소자가 작동할 수 있도록 하는 역할을 한다. 또한, 상변화 저항(550)의 상부에는 상부 전극(555)이 구비되어 있다. 상부 전극(555)은 상변화 저항(550)과 동일한 마스크로 동시에 증착, 패터닝 및 식각을 거쳐 형성될 수도 있으며, 도 3의 (f)의 경우와 같이 상변화 저항(145)에 비하여 좀 더 큰 오버레이(overlay)를 갖고 상변화 저항(145)을 감싸도록 형성될 수도 있다. 이러한 변형은 단지 전체 메모리 소자의 집적도에 따른 오버레이의 여유(overlay margin)나 필요한 접촉 저항 등 소자 설계상의 필요에 의하여 조정될 수 있는 성질의 것이다.

<50> 도 7에서는 본 발명의 다른 한 바람직한 실시 형태에 따른 상변화 메모리 소자 구조를 예시한다. 도 7의 실시 형태는 하부에 CMOS FET 가 아닌 PN 다이오드(690)가 형성되어 있는 경우를 예시한 도면이다. 이와 같은 변형이 단순한 설계 변경에 지나지 않는 것임은 상술한 바와 같으며, 유전체 층(635)에 컨택 홀(640)을 채우고 있는 하부 전극(645)과, 하부 전극

(645) 상면 및 유전체 층(635) 상면을 덮도록 유전체 박막(637)이 형성되고, 미세 통공(648)을 통하여 하부 전극(645) 상면과 상변화 저항(650)이 접속되며, 미세 통공(648)이 국부적 전류 패스를 제공하게 되는 구조라는 점에서 본 실시 형태 역시도 도 6의 실시 형태와 동일한 특징의 범주에 있다.

<51> 상술한 도 6 및 도 7의 실시 형태에서, 하부 전극(545, 645)과 상변화 저항(550, 650)의 사이에서 미세 통공(548, 648)은 국부적인 전류 패스를 제공하여 상변화 영역을 제한함으로써 소모 전력을 저감하는 역할을 하게 된다. 이러한 국부적 전류 패스는 반드시 미세 통공(548, 648)에 의해서 제공되는 것은 아니다. 통공이 아니더라도, 유전체 박막(537, 637)에 국부적인 미세 손상 영역을 형성하여 이를 통하여 누설 전류가 발생하도록 함으로써 국부적 전류 패스를 제공할 수도 있다. 국부적인 미세 손상 영역의 형성 방법에 관해서는 아래에서 상세히 설명한다.

<52> 도 8에서는 전류 패스 형성을 위해 본 발명에서 제시된 나노 크기 통공(nano-sized pore) 및 국부적 손상 영역(locally damaged area)을 통한 국부 전류 흐름(localized current flow)에 의한 상 변화 영역의 형성 기구를 설명한다. 통공(648)에 의해서 형성되는 국부적 전류 흐름이 국부적 손상 영역(647)을 통해서도 동일하게 형성될 수 있다. 그에 따라 상변화 저항(650) 상에는 도식된 바와 같이 제한된 부피의 상변화 영역이 형성된다. 이와 같이 상변화 영역이 제한되는 이유는 전류가 제한됨에 따라 전류 밀도가 높은 영역이 극히 제한되고 상변화 재료의 가열 정도는 전류밀도의 제곱에 비례하기 때문에 전류 밀도가 높은 영역을 중심으로 상 변화가 일어나기 때문이다.

<53> 도 9는 본 발명의 한 바람직한 실시 형태에 따른 상변화 메모리 소자의 구성을 설명하기 위한 사시도이다. 하부 전극(645)이 각각의 메모리 셀을 구분하도록 소정의 패턴에 의하여

형성되고, 그 위에 유전체 박막(637)이 형성된 후, 상변화 저항(650)이 소정의 패턴으로 형성된다. 이 때, 미세 통공이나 미세 손상 영역을 사용하는 본 발명의 다른 주요한 장점으로 하부 전극(645) 상부에 대한 충분한 오정렬 마진(misalignment margin; overlay margin)이 제공되는 것을 이해할 수 있다. 미세 통공 또는 미세 손상 영역은 그 직경이 하부 전극(645)의 상부 면적에 비하여 극히 작기 때문이다. 또한, 이러한 미세 통공이나 미세 손상 영역의 상부에 정렬되는 상변화 저항(650)의 경우에도 이러한 충분한 오정렬 마진이 공정의 여유를 확보하는 데에 유리하게 작용하여, 생산된 메모리 소자의 수율(yield)을 높이는 데 기여할 수 있다.

<54> 도 10a 내지 도 10h는 본 발명의 한 바람직한 실시 형태에 따른 상변화 메모리 소자 제조 공정의 한 예를 설명한다. 패턴닝된 마스크(746)를 사용한 식각 공정에 의하여, 기판(710) 상에 하부 전극(745)을 형성한다(도 10a). 이때, 기판(710)은 유리, 사파이어, 세라믹 또는 실리콘 기판 등이 될 수가 있지만, 이러한 기판 위에 미리 진행된 다른 공정에 의하여 형성된 다수의 하부 구조물들을 포함하는 것일 수도 있다. 하부 전극(745)이 형성되면 그 위에 유전체 층(735)을 충분한 두께로 증착한다(도 10b). 상술한 하부 전극(745)을 형성하기 위한 마스크(746)가 포토레지스트 막이라면, 유전체 층(735)을 증착하기 이전에 보통 이를 제거하게 되나, 마스크(746)가 산화막 등의 하드 마스크(hard mask)라면 이를 반드시 제거할 필요가 없으므로 도 10b와 같이 그 위에 바로 유전체 층(735)을 형성하게 된다. 경우에 따라서는 이러한 하드 마스크(746)는 CMP 공정에서 정지층(stopper)으로 유용하게 활용될 수 있다.

<55> 이후, CMP 또는 에치백(etch back) 등의 평탄화 공정을 통하여 도 10c에 도시된 바와 같이 평탄한 표면을 형성한다. 그러나 이와 같은 평탄화된 표면은 반드시 필요한 것은 아니며, 후속 공정(특히 리소그래피 공정)이 어떠한 것인가에 따라서 생략될 수도 있다. 이러한 경우,

BPSG 또는 SOG 등의 유동성 산화막을 사용하여 적절한 정도의 평탄화를 수행하도록 할 수도 있다.

<56> 도 10d에서는 마스크(746)를 제거한 후, 노출된 하부 전극(745) 상면과 이를 둘러싸고 있는 유전체 층(735) 상면을 덮도록 유전체 박막(737)을 형성한 상태를 나타낸다. 이후 마스크 재료(780)를 코팅한 후(도 10e), 패터닝을 실시한다(도 10f). 마스크 재료(780)로는 포토 레지스트 막이나 폴리머 레지스트 막을 도포할 수 있다. 마스크 재료는 사용하고자 하는 리소그래피 공정에 따라 적절한 것을 선택한다. 본 발명의 목적을 달성하기 위하여서는, 도 10f의 패턴에 의하여 노출되는 영역의 바닥면의 면적이 하부 전극(745)의 상면 면적보다 매우 작아야 하므로, 이러한 작은 크기의 패턴을 형성하기 위해서는 전자빔(e-beam) 리소그래피나 또는 이하에서 설명할 나노 임프린팅(nano-imprinting) 리소그래피가 적절하다.

<57> 나노 임프린팅 리소그래피 공정은 포토 리소그래피 공정의 한계를 극복하고 70nm 이하의 크기를 갖는 초극미세 패턴을 구현하기 위하여 현재 많이 연구되는, 전자빔 리소그래피, 엑스선 리소그래피, 프록시멀 프로브(proximal probe) 리소그래피, 딥 펜(dip pen) 리소그래피 등이 가지고 있는 생산성, 경제성 등의 문제를 해결할 수 있는 기술로서 각광받고 있다. 나노 임프린팅 리소그래피 공정은 전자빔 리소그래피 공정 등에 비하여 획기적인 공정 진행 속도를 가지므로 미세 크기 패턴 구조물의 양산에 적합하며, 높은 생산성을 가지면서도 기존의 포토 리소그래피의 한계를 넘을 수 있는 유력한 리소그래피 공정으로 주목받고 있다.

<58> 상술한 본 발명의 상변화 메모리 소자 구조를 구현하기 위하여, 상변화 메모리 제조 방법의 본 실시 형태에서는 나노 임프린팅 리소그래피 공정을 사용하며, 상변화 메모리의 도 12a, 12b 및 도 13e에 도시된 바와 같이 임프린팅 스탬프(stamp)를 사용하여, 기판 위에 도포되어 있는 폴리머 레지스트 재료(예를 들어, PMMA 등)에 미세 크기의 패턴을 형성시킨다.

<59> 본 발명의 실시 형태에 사용된 나노 임프린팅 스탬프는, 예를 들어, 나노 크기의 패턴을 가진(특히, 미세 통공을 형성하기 위한 패턴의 맨 끝단에서) 스탬프를 구현하기 위하여, 실리콘 나노 캐스팅법에 의하여 제조한 투명 나노 임프린트 스탬프(본 출원인에 의하여 본 출원과 별도로 국내 특허 출원됨)임이 바람직하다. 실리콘 나노 캐스팅법에 의한 투명 임프린트 스탬프 제조방법은, 실리콘 웨이퍼 위에 전자빔 리소그래피 등에 의해서 미세 패턴을 형성하고--여기서 미세 패턴은 형성하고자 하는 패턴의 음각(negative) 패턴임--, 이 패턴을 사용하여 실리콘 기판 표면을 식각한 후, 실리콘 산화막( $\text{SiO}_2$ ), 알루미나( $\text{Al}_2\text{O}_3$ ) 등의 막을 코팅하여 위의 미세 패턴들을 충전하고, 위의 실리콘 산화막, 알루미나 등 막을 평탄화한 후, 투명 핸들링 웨이퍼를 평탄화된 위의 실리콘 산화막, 알루미나 등의 막 위에 본딩(bonding)하고, 하부의 실리콘 기판을 모두 식각하여 제거함으로써 나노 임프린트 스탬프를 제조한다. 본 발명자에 의하여 고안된 이와 같은 나노 임프린트 스탬프 제조방법은 실리콘의 우수한 미세 가공성을 이용하여 보다 용이하게 나노 크기의 임프린트 스탬프를 제조하기 위한 것이다.

<60> 도 10g에서는 상술한 리소그래피 공정에 의하여 형성된 패턴을 마스크로 사용하여 유전체 박막의 식각을 진행한 결과를 도시한다. 식각의 결과 미세 통공(748)이 유전체 박막에 형성된다. 도 10h에서는 통공(748)을 채우면서 유전체 막막(737)의 상부에 상변화 재료를 코팅하고, 패터닝하여 이를 식각한 결과를 나타낸다.

<61> 도 11 내지 도 11c는 상술한 미세 통공(748) 대신에 국부적 손상 영역(747)을 유전체 박막(737)에 형성하여 국부적 전류 패스를 제공하는 본 발명의 다른 실시 형태를 제조하기 위한 방법의 흐름을 예시한다. 도 11a에서는 유전체 박막(737) 위에 형성된 패턴을 마스크로 하여, 유전체 박막(737) 상에 국부적인 손상 영역을 형성한 경우의 예를 나타낸다. 이 경우, 하부 공정은 도 10a 내지 도 10f 에 도시된 과정과 동일한 과정을 거쳐서 형성될 수 있다. 도 11a

에 도시된 국부적 손상 영역 형성 과정은 기판을 플라즈마(plasma)에 노출시키거나, 이온 주입(ion implantation) 공정을 거쳐 이온 빔(ion-beam)에 노출시킴으로써 수행될 수 있다. 플라즈마 처리에 의한 손상 영역 형성을 위해서는 산소, 아르곤 등 여러 가지 가스를 사용하여 형성된 플라즈마를 사용할 수 있으며, 플라즈마 형성방법(마이크로파, RIE, ICP 등)에 제한이 있는 것은 아니다. 산소 플라즈마를 사용하는 경우는, 폴리머 레지스트나 포토 레지스트 등 마스트 재료의 스트립(strip) 공정(ashing 이라고도 함)과 병행하여 동일한 장치 내에서 진행될 수도 있다. 이 경우, 유전체 박막(737)이 식각되는 것을 방지하도록 유전체 박막(737)의 종류에 따라 적절한 가스가 선택될 수 있다.

<62> 위에서 언급한 바와 같이, 본 발명의 미세 통공 또는 미세 손상 영역을 이용한 상변화 메모리 소자 구조는 리소그래피 시의 오정렬 마진에 있어서, 매우 유리한 효과를 제공한다. 도 12a 및 12b는 본 발명의 상변화 메모리 제조 공정에 의할 때 얻을 수 있는 리소그래피 시의 오정렬 마진(misalignment margin)을 도시한다. 도 12a 및 12b와 같이 하부 전극(945)이 대체로 수직인 측벽 구조로 형성된 경우에도, 본 발명과 같이 미세 통공을 이용한 구조를 채용하는 경우에는 이러한 오정렬 마진 증대 효과에 의하여 공정의 신뢰성을 높일 수 있게 되고 이는 양산시의 수율 증가로 이어진다. 도 15에서 보는 바와 같이 하부 전극(845)이 테이퍼진 측벽을 갖도록 형성된 경우에 이러한 오정렬 마진 증대의 효과는 더욱 커질 수 있는데, 이와 같이 테이퍼진 측벽을 형성하는 경우에, 하부 전극(845)의 상면이 더욱 넓어지게 되기 때문이다. 또한, 테이퍼진 측벽을 형성하는 경우에는 하부 전극(845)을 구성하기 위하여 금속 등 재료로 충전(filling)할 경우, 보이드(void)나 틈새(seam) 등의 결함 발생을 억제할 수 있다는 부수적인 효과도 얻을 수가 있다.

<63> 도 13a 내지 도 13f는 본 발명의 상변화 메모리 제조 공정의 다른 한 바람직한 실시 형태를 설명한다. 도 13은 상술한 테이퍼진 측벽을 형성하는 경우의 본 발명의 상변화 메모리 소자 제조 공정의 한 바람직한 실시 형태이다. 도 13a에 도시된 바와 같이, 유전체 층(805)에 평면상에서 원형 또는 사각형 등의 기타 형상을 갖는 테이퍼진 컨택 홀(840)이나 도랑(trench)을 형성한다. 테이퍼를 형성하기 위해서는 알려진 여러 가지 방법이 있을 수 있으나, 단순히 식각 공정 시 측벽의 기울기를 제어하는 공정 조건에서 공정을 진행하는 방법이 사용될 수도 있다. 도 13b에서는 하부 전극 형성 재료(845)에 의하여 상술한 컨택 홀 또는 도랑을 채운 상태를 나타내며, 도 13c에서는 CMP 등 평탄화 공정을 사용하여 평탄화한 상태를 도시한다. 이후, 도 13d에 도시된 바와 같이, 유전체 박막(837)을 코팅하여, 도 13e 내지 도 13f까지의 리소그래피 공정을 진행한다.

<64> 도 14a 내지 도 14c는 도 13에 도시된 과정 이후의 공정 진행 과정을 예시한다. 도 14b 및 도 14c는 특히 상술한 미세 통공을 사용하여 국부적 전류 패턴을 형성하는 경우의 진행 과정을 나타낸다. 도 14d 내지 도 14e는 도 13에 도시된 과정 이후의 공정 진행 과정에 있어서, 다른 한 진행 예를 나타낸다. 이 경우는 미세 손상 영역을 형성하여 전류 패스를 제공하도록 하는 구조의 진행 예이다.

<65> 본 발명의 실시 형태를 적용하여, 소자 구동 전류의 저감 효과를 얻을 수 있다. 하부 전극과 상변화 재료 영역(PC layer) 사이의 전류 패스 면적(접촉 영역의 면적 또는 유전체 박막 손상 영역의 면적)이 감소함에 따라서, 리셋 전류(reset current)는 상당히 감소하게 되며, 그에 따라 상변화가 일어나는 영역의 부피가 감소하게 되고, 셋(set) 및 리셋(reset) 과정에서의 필요 전류량이 감소하게 되며, 빠른 스위칭이 가능하게 되는 효과를 얻을 수 있을 뿐만 아니라 소자의 신뢰성이 현저히 향상될 수 있게 된다.



<66> 본 발명은 그 기술적 사상의 범위 내에서 다양한 형태로 변형, 응용 가능하며 상기 바람직한 실시예에 한정되지 않는다. 또한, 상기 실시예와 도면은 발명의 내용을 상세히 설명하기 위한 목적일 뿐, 발명의 기술적 사상의 범위를 한정하고자 하는 목적이 아니며, 이상에서 설명한 본 발명은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 있어 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하므로 상기 실시예 및 첨부된 도면에 한정되는 것은 아님은 물론이며, 후술하는 청구범위뿐만이 아니라 청구범위와 균등 범위를 포함하여 판단되어야 한다.

#### 【발명의 효과】

<67> 본 발명을 적용하여 대량 생산에 적합하고, 높은 수율(yield)을 얻을 수 있으며, 공정 단가를 낮출 수 있으며, 안정된 소자 특성을 얻는 것이 가능하도록 하는 상변화 메모리 소자의 새로운 구조와, 그 제조 방법을 제공할 수 있다.

**【특허청구범위】****【청구항 1】**

상변화 메모리 소자 제조 공정에 있어서,

하부 유전체 층에 적어도 일부 측면이 둘러싸이고, 그 상면의 적어도 일부가 노출된 하부 전극을 형성하는 제1 단계;

상기 하부 전극 및 상기 하부 유전체 층의 상면을 덮도록 유전체 박막을 형성하는 제2 단계;

상기 유전체 박막 위에 마스크 재료를 코팅하고 이를 패터닝하는 제3 단계;

상기 패터닝된 마스크 재료를 사용하여 식각 공정을 진행하여, 상기 유전체 박막에, 상기 제1 단계의 종료 시점에서 노출되었던 상기 하부 전극의 상면에 비하여 작은 단면적을 갖는 미세 통공을 형성하는 제4 단계;

상기 마스크 재료 중 남아있는 것을 제거하는 제5 단계; 및

상기 유전체 박막의 상부에, 상기 미세 통공을 채우도록 상변화 재료를 코팅하는 제6 단계를 포함하는 상변화 메모리 소자 제조 방법.

**【청구항 2】**

상변화 메모리 소자 제조 공정에 있어서,

하부 유전체 층에 적어도 일부 측면이 둘러싸이고, 그 상면의 적어도 일부가 노출된 하부 전극을 형성하는 제1 단계;

상기 하부 전극 및 상기 하부 유전체 층의 상면을 덮도록 유전체 박막을 형성하는 제2 단계;

상기 유전체 박막 위에 마스크 재료를 코팅하고 이를 패터닝하는 제3 단계;

미세 전류 패스를 제공하기 위하여, 상기 패터닝된 마스크 재료를 사용하여 상기 유전체 박막의 노출된 부분에 국부적인 미세 손상 부위를 형성하는 제4 단계--여기서 상기 미세 손상 부위는 상기 제1 단계의 종료 시점에서 노출되었던 상기 하부 전극의 상면에 비하여 작은 단면적을 갖는 것임--;

상기 마스크 재료 중 남아있는 것을 제거하는 제5 단계; 및

상기 미세 손상 부위를 포함하는 상기 유전체 박막의 상부에 상변화 재료를 코팅하는 제6 단계를 포함하는 상변화 메모리 소자 제조 방법.

#### 【청구항 3】

제1항 및 제2항의 어느 한 항에 있어서,

상기 제1 단계는,

상기 하부 유전체 층에 테이퍼(taper)진 측벽을 갖는 함몰부를 형성하는 단계;

상기 함몰부를 채우도록 하부 전극 재료를 코팅하는 단계; 및

상기 하부 전극 재료를 평탄화하여, 상기 하부 전극 재료 중 상기 함몰부를 채우는 부분에 의하여 형성되는 하부 전극의 상면 적어도 일부와, 상기 하부 유전체층 중의 상기 함몰부가 형성되지 않은 영역의 상면이 노출되도록 하는 단계를 포함하는 것이며,

여기서, 상기 테이퍼진 측벽을 채워 형성된 상기 하부 전극의 상면에 의하여 넓은 리소 그래피 공정 마진이 제공되는 것을 특징으로 하는 상변화 메모리 소자 제조 방법.

#### 【청구항 4】

제1항 및 제2항의 어느 한 항에 있어서,

상기 제3 단계는,

폴리머 레지스트 막을 코팅하는 단계; 및

상기 폴리머 레지스트 막에, 그 패턴 말단부의 폭이 1 마이크로미터 이하의 치수를 갖는 임프린팅 스탬프를 사용하여 패터닝하는 단계를 포함하는 것인 상변화 메모리 소자 제조 방법

【청구항 5】

제2항에 있어서,

상기 제4 단계는,

상기 패터닝된 마스크 재료를 사용하여 상기 유전체 박막의 노출된 부분에 국부적인 미세 손상 부위를 형성하기 위하여 상기 유전체 박막의 노출된 부분을 플라즈마에 노출시키는 단계를 포함하는 것인 상변화 메모리 소자 제조 방법.

【청구항 6】

제2항에 있어서,

상기 제4 단계는,

상기 패터닝된 마스크 재료를 사용하여 상기 유전체 박막의 노출된 부분에 국부적인 미세 손상 부위를 형성하기 위하여 상기 유전체 박막의 노출된 부분을 자외선(UV)에 노출시키는 단계를 포함하는 것인 상변화 메모리 소자 제조 방법.

【청구항 7】

제2항에 있어서,

상기 제4 단계는,

상기 패터닝된 마스크 재료를 사용하여 상기 유전체 박막의 노출된 부분에 국부적인 미세 손상 부위를 형성하기 위하여 상기 유전체 박막의 노출된 부분을 이온 빔(ion-beam)에 노출시키는 단계를 포함하는 것인 상변화 메모리 소자 제조 방법.

**【청구항 8】**

상변화 메모리 소자에 있어서,

하부 유전체 층;

상기 하부 유전체 층에 적어도 일부 측면이 둘러싸인 하부 전극;

상기 하부 전극의 상면을 덮고, 상기 하부 전극의 상면에 비하여 작은 단면적을 갖는 미세 통공이 상기 하부 전극의 상면까지 이르도록 형성된 유전체 박막; 및

상기 미세 통공에 정렬되어 상기 미세 통공을 채우고 상기 유전체 박막의 상부에 형성된 상변화 재료 패턴을 포함하는 상변화 메모리 소자.

**【청구항 9】**

상변화 메모리 소자에 있어서,

하부 유전체 층;

상기 하부 유전체 층에 적어도 일부 측면이 둘러싸인 하부 전극;

상기 하부 전극의 상면을 덮고, 상기 하부 전극의 상면에 비하여 작은 단면적을 갖는 국부적인 미세 손상 부위가 전류 패스를 제공하기 위하여 형성된 유전체 박막; 및

상기 미세 손상 부위에 정렬되어 상기 유전체 박막의 상부에 형성된 상변화 재료 패턴을 포함하는 상변화 메모리 소자.

**【청구항 10】**

제8항 및 제9항의 어느 한 항에 있어서,

상기 하부 전극은,

상기 하부 유전체 층에 형성된 테이퍼(taper)진 측벽을 갖는 함몰부를 채움으로써 형성되어, 상기 하부 전극의 상면은 상기 하부 전극의 상기 함몰부 바닥에 접한 면에 비하여 넓은 단면적을 갖는 것이며,

여기서, 상기 테이퍼진 측벽을 채워 형성된 상기 하부 전극의 넓은 상면에 의하여 제조시 넓은 리소그래피 공정 마진이 제공되는 것을 특징으로 하는 상변화 메모리 소자.

**【청구항 11】**

제9항에 있어서,

상기 국부적인 미세 손상 부위는,

상기 유전체 박막의 일부가 플라즈마에 노출되어 형성된 것인 상변화 메모리 소자.

**【청구항 12】**

제9항에 있어서,

상기 국부적인 미세 손상 부위는,

상기 유전체 박막의 일부가 자외선(UV)에 노출되어 형성된 것인 상변화 메모리 소자.

**【청구항 13】**

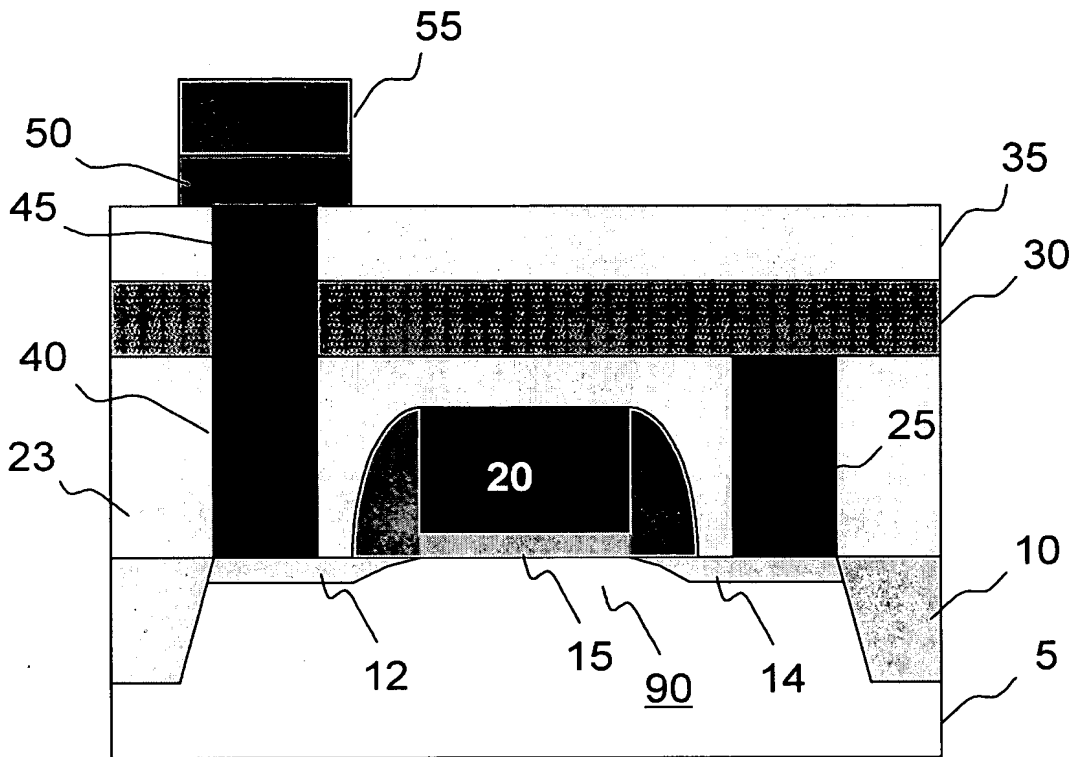
제9항에 있어서,

상기 국부적인 미세 손상 부위는,

상기 유전체 박막의 일부가 이온 빔(ion-beam)에 노출되어 형성된 것인 상변화 메모리 소자.

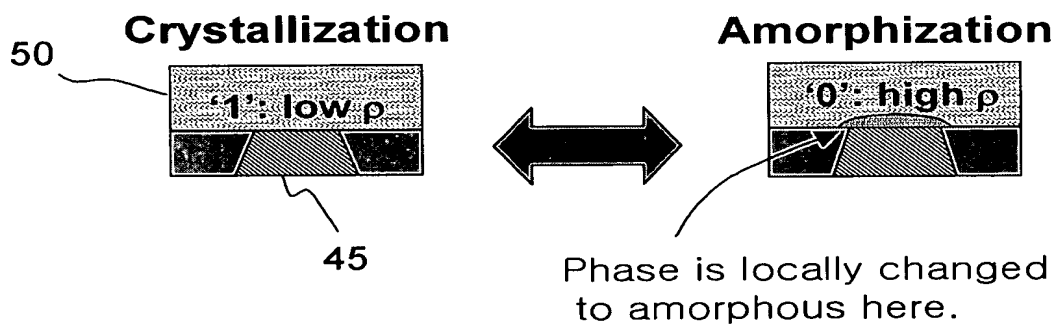
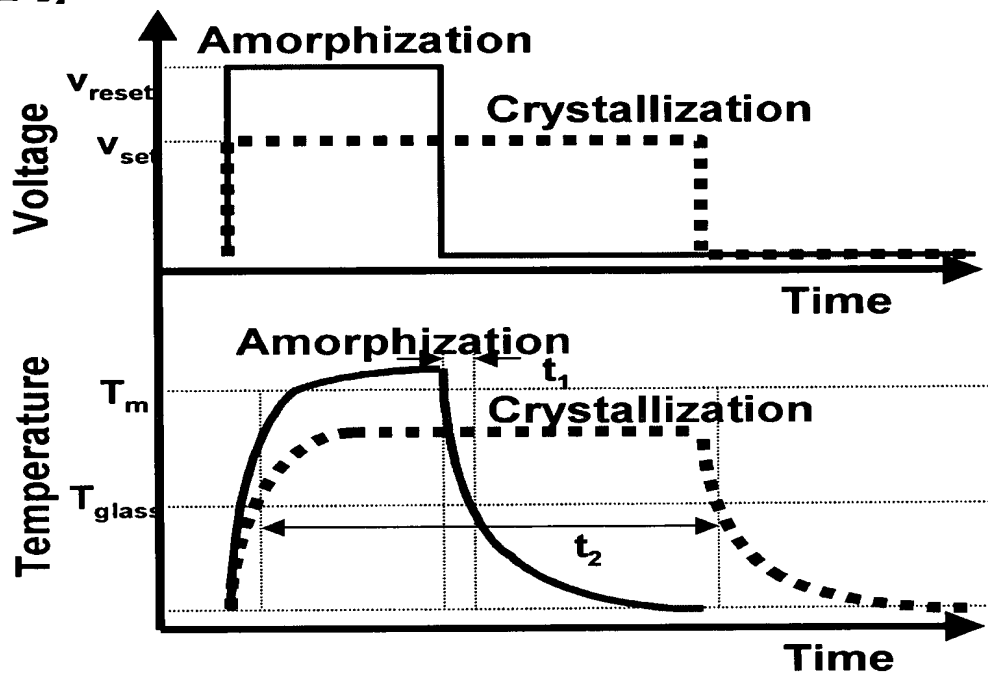
【도면】

【도 1】

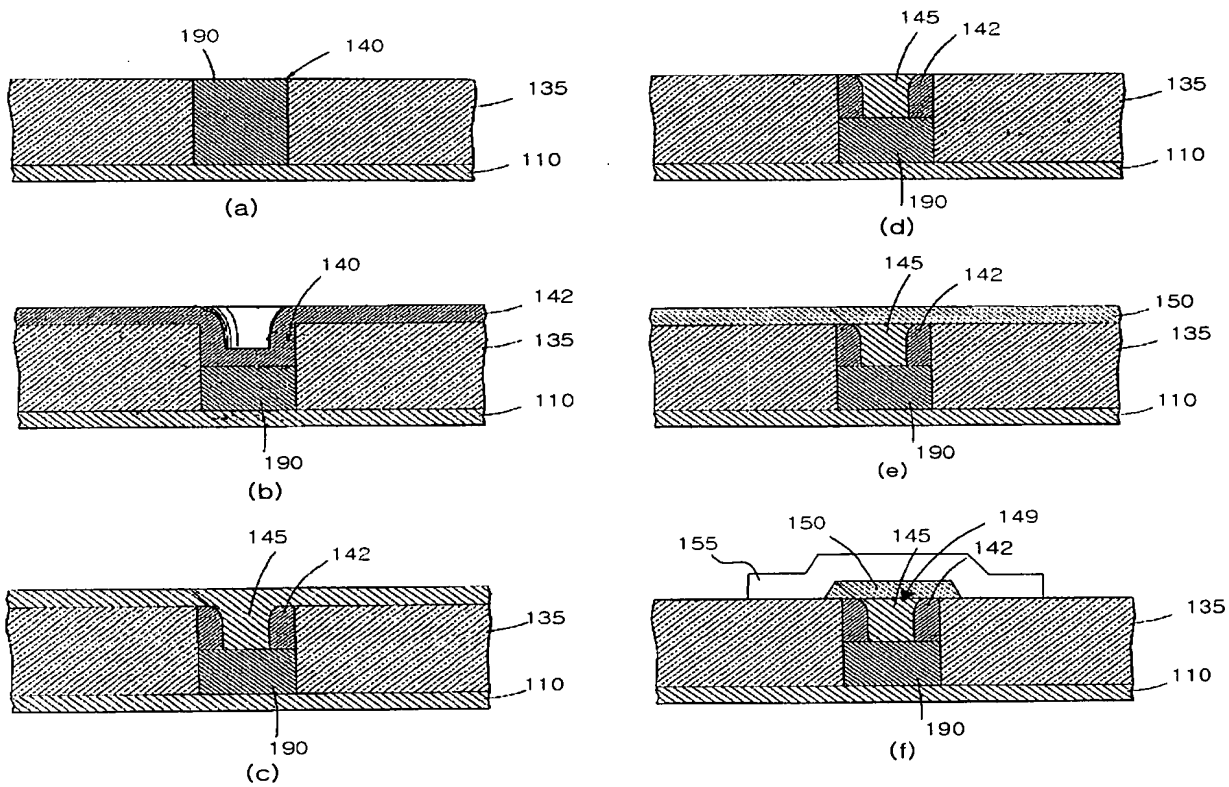




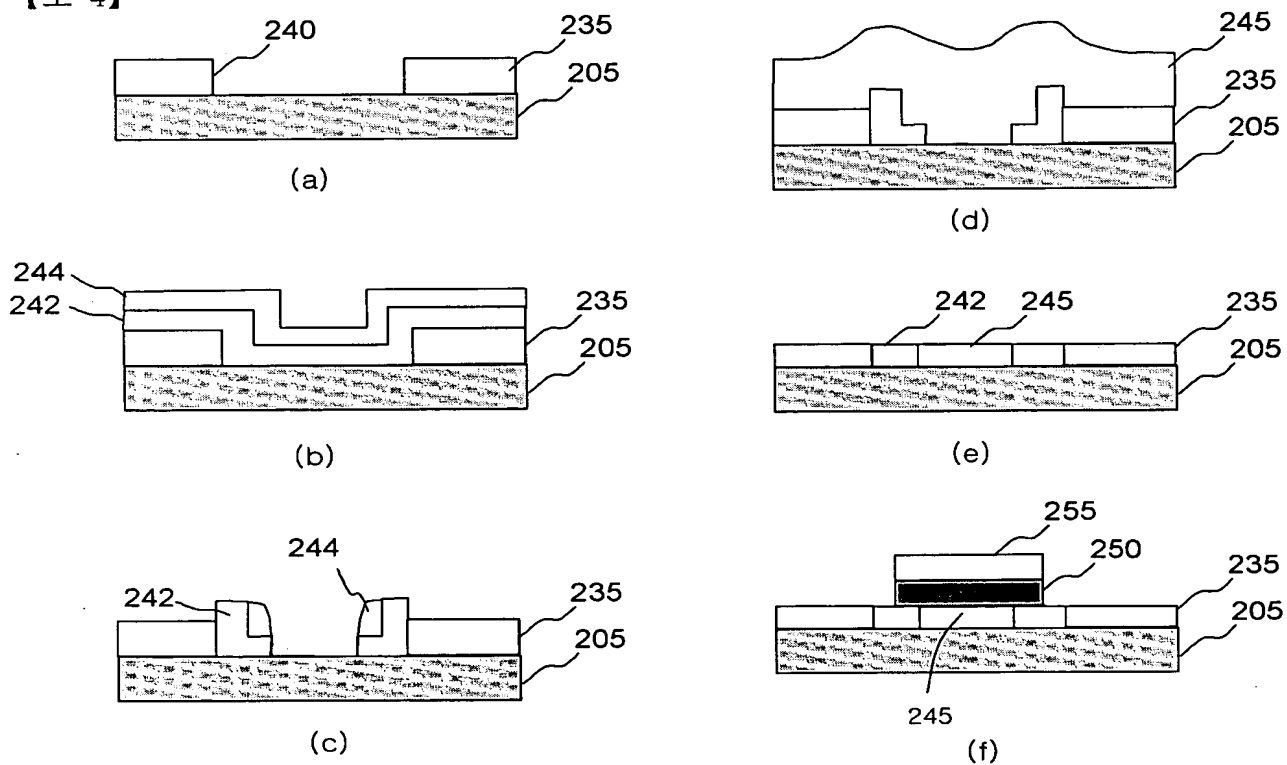
【도 2】



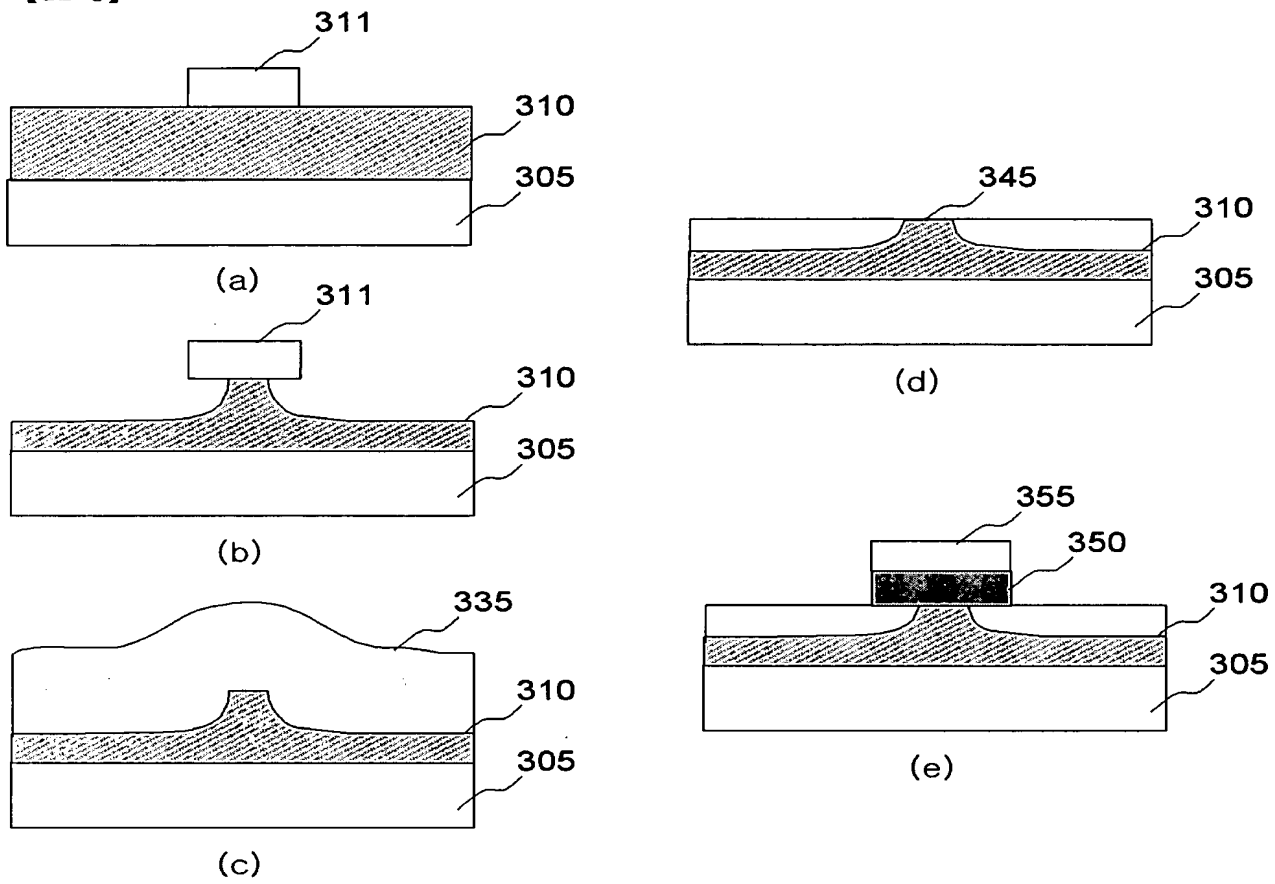
【도 3】



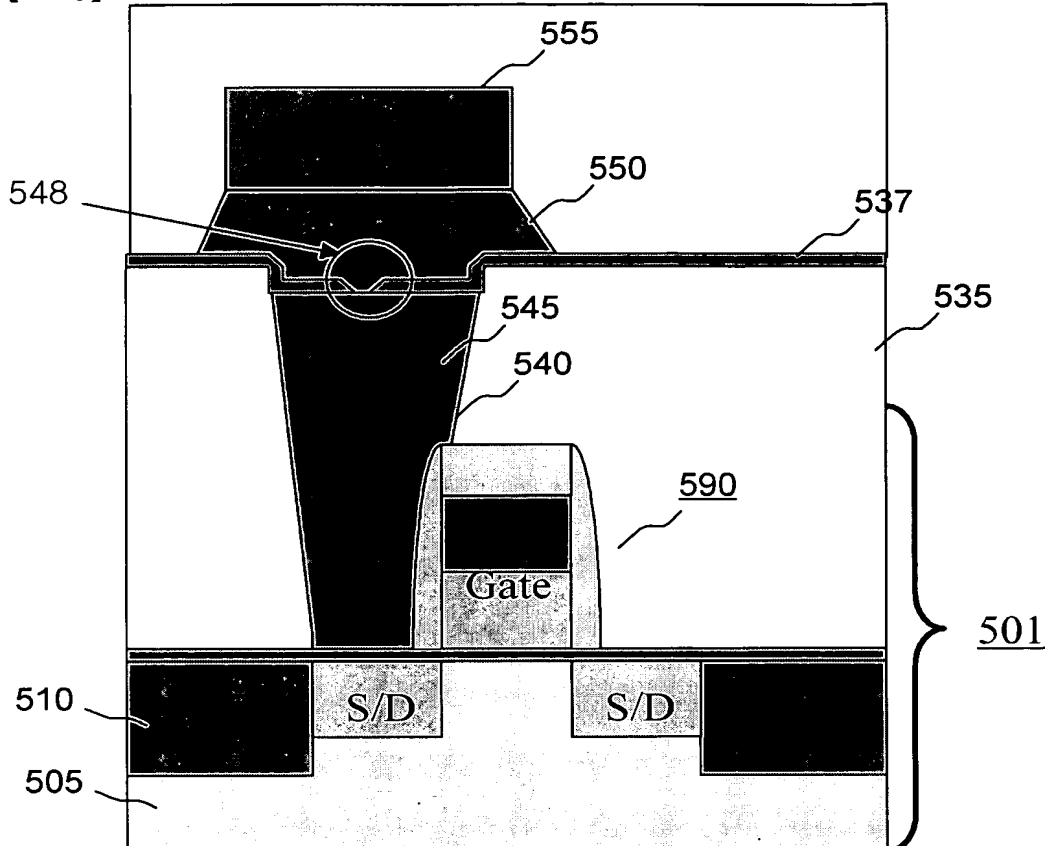
【도 4】



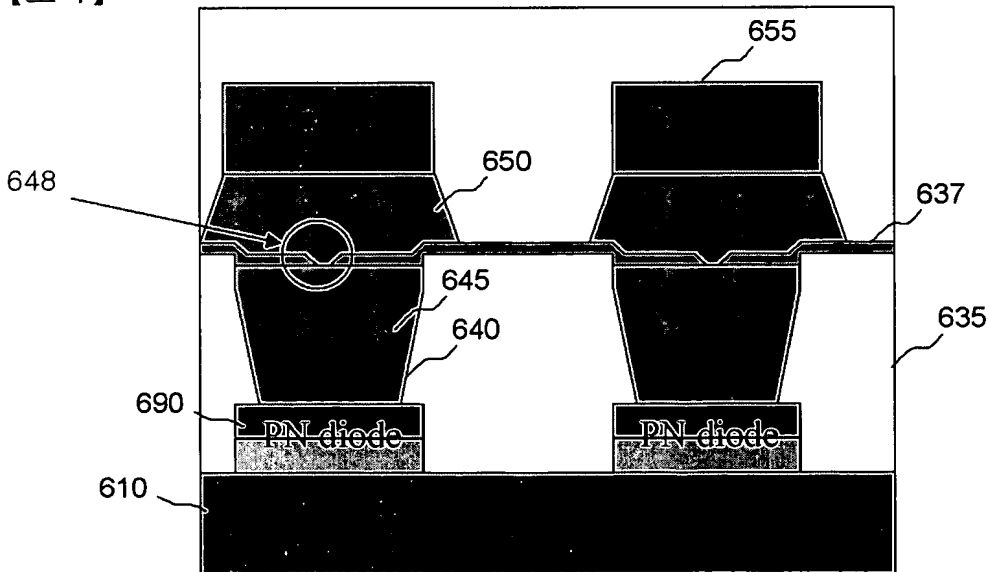
【도 5】



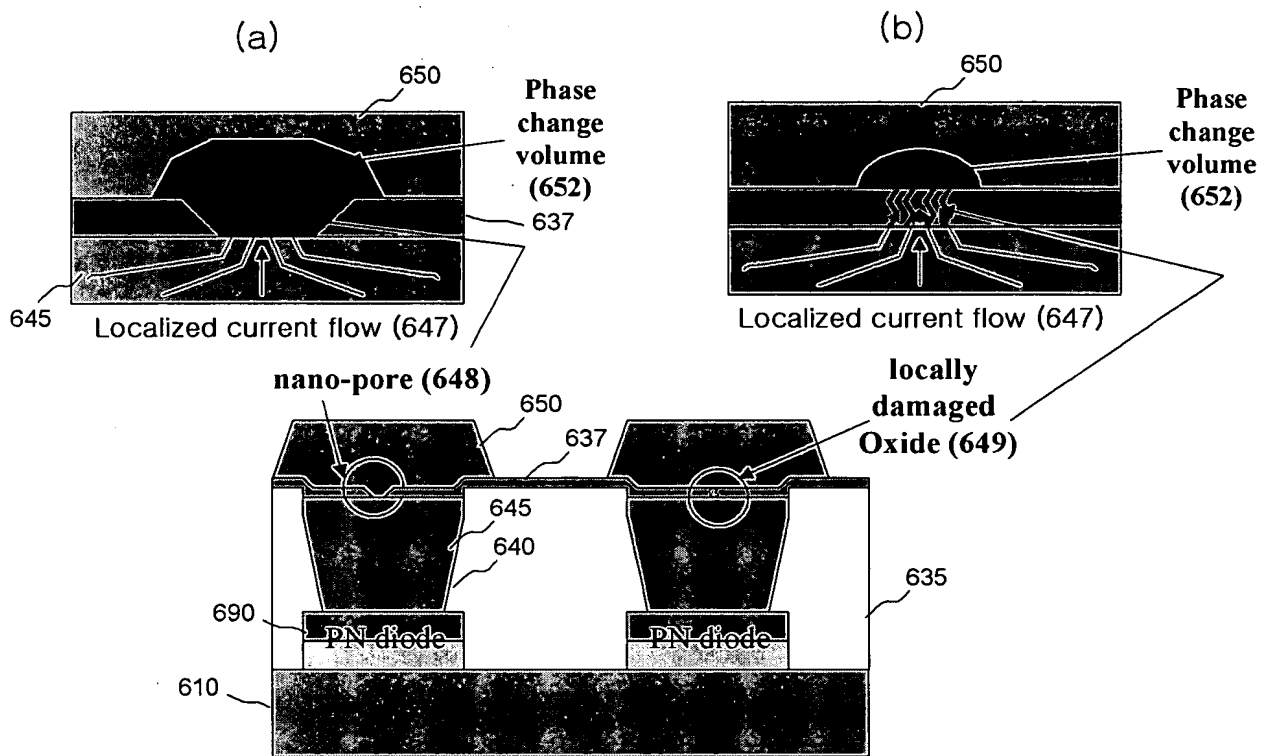
【도 6】



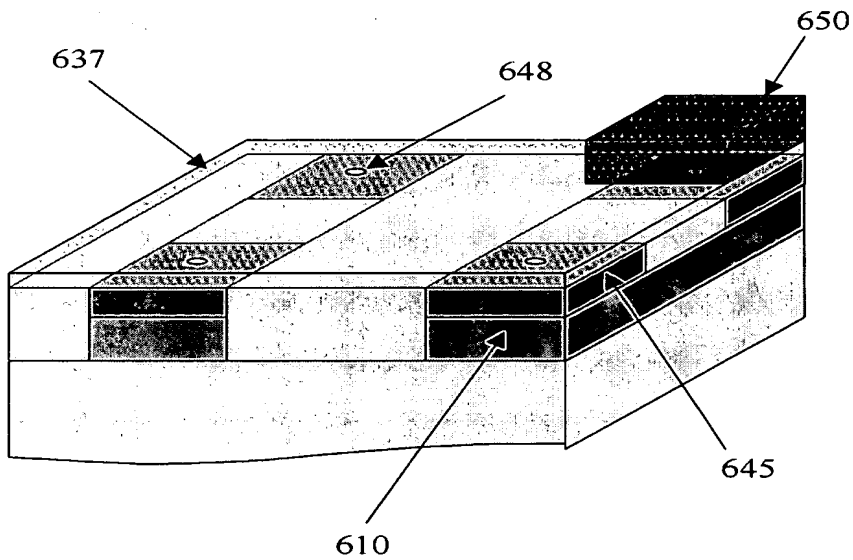
【도 7】



【도 8】



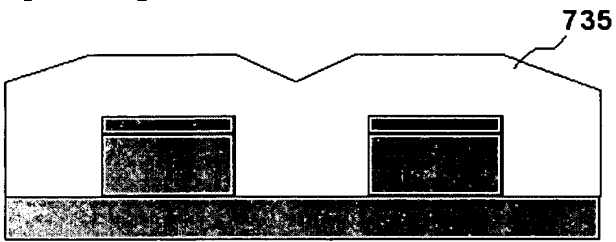
【도 9】



【도 10a】



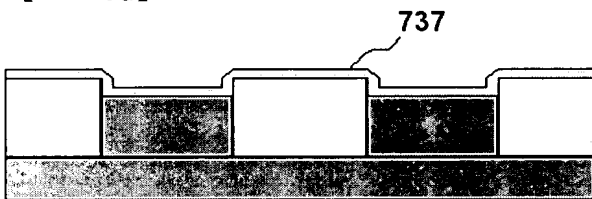
【도 10b】



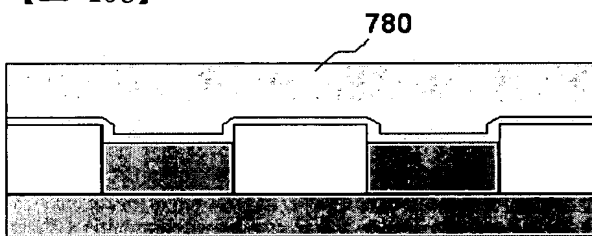
【도 10c】



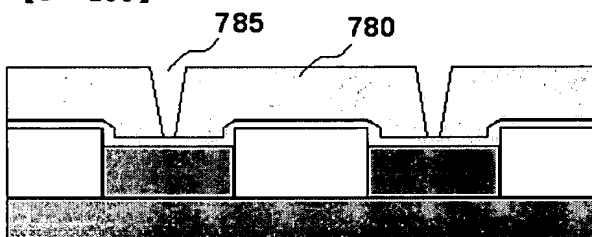
【도 10d】



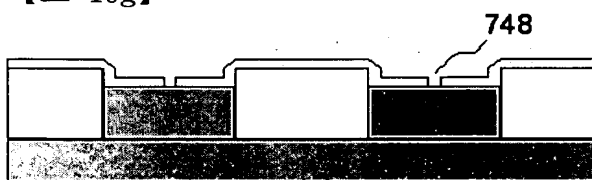
【도 10e】



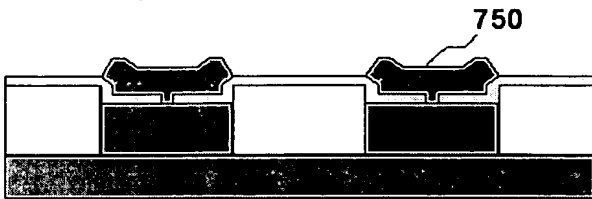
【도 10f】



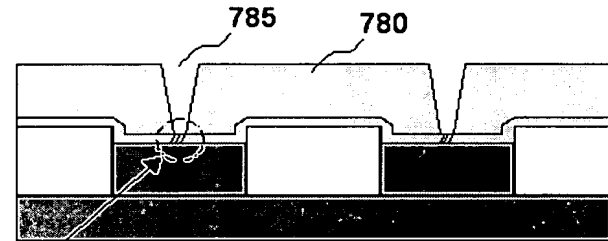
【도 10g】



【도 10h】



【도 11a】



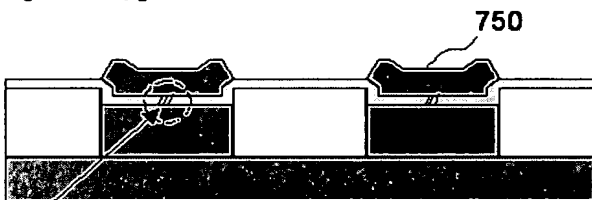
747

【도 11b】



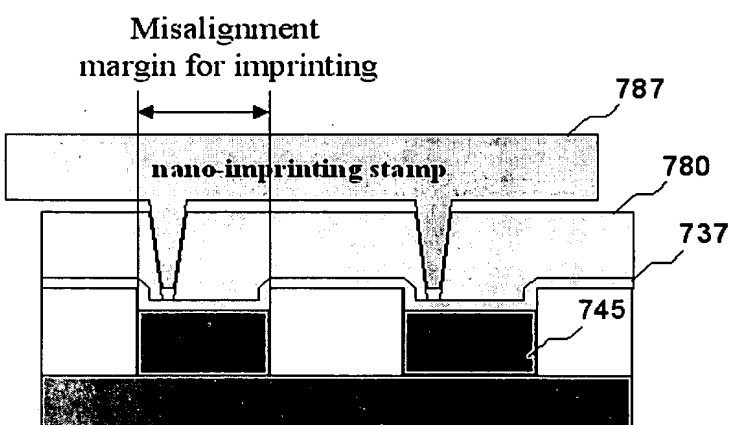
747

【도 11c】



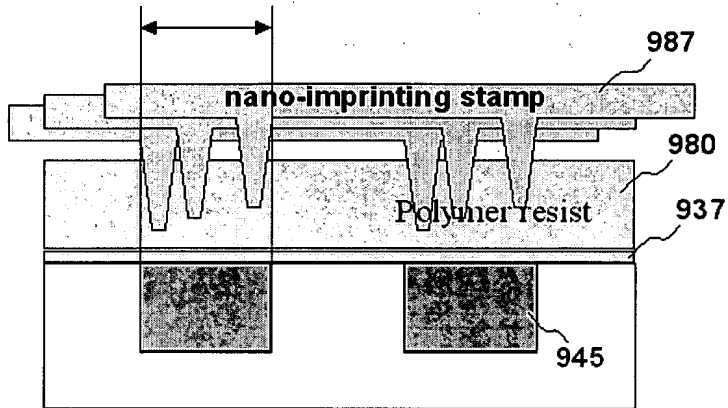
747

【도 12a】

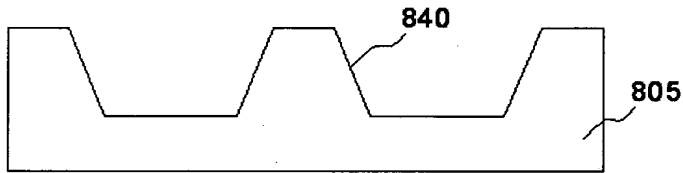


【도 12b】

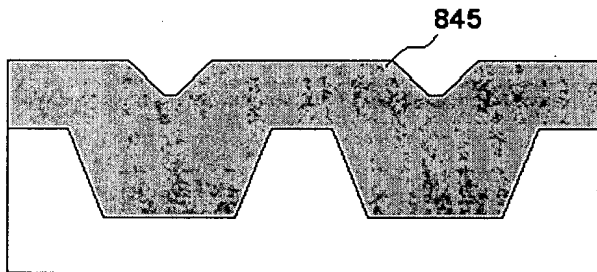
Misalignment margin for imprinting



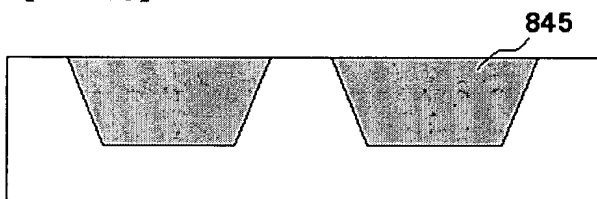
【도 13a】



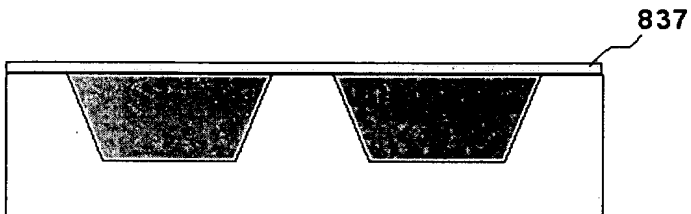
【도 13b】



【도 13c】

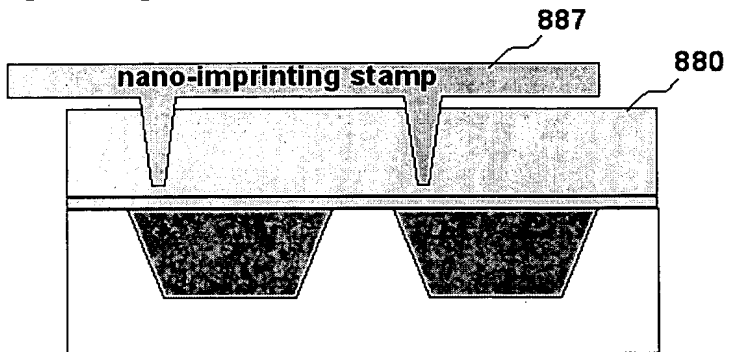


【도 13d】

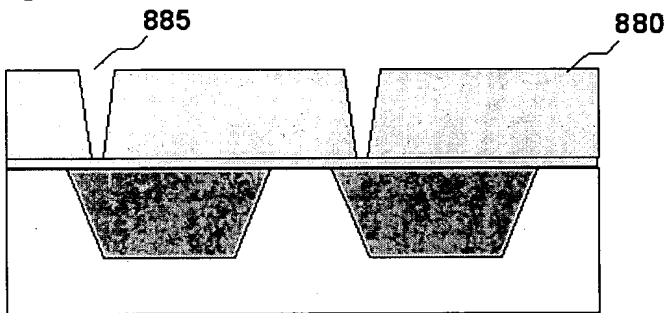




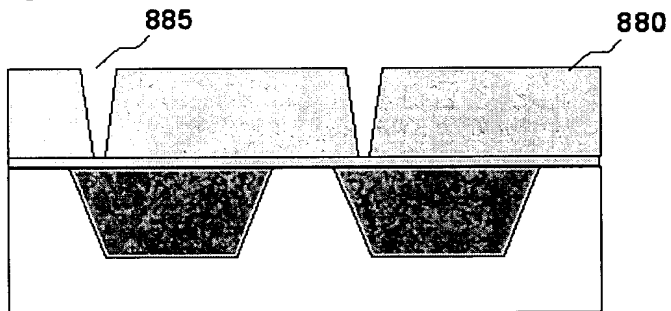
【도 13e】



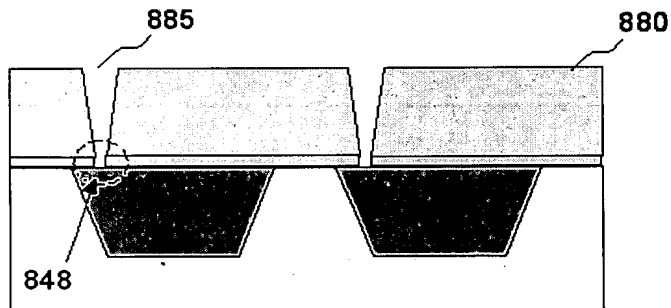
【도 13f】



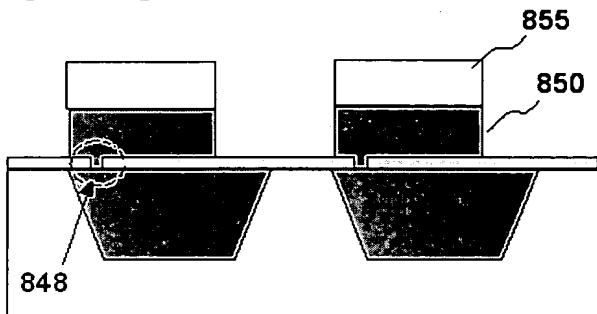
【도 14a】



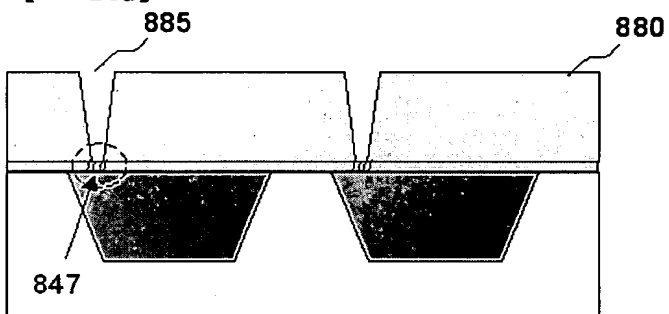
【도 14b】



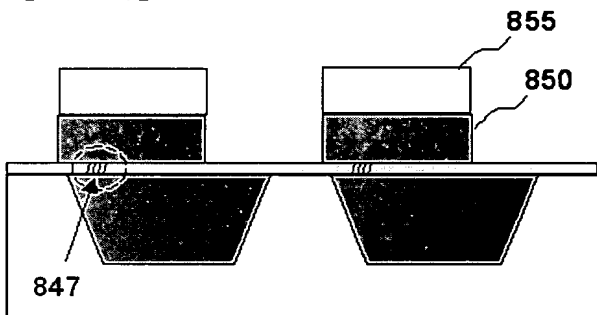
【도 14c】



【도 14d】



【도 14e】



【도 15】

Enlarged misalignment margin for imprinting

